

(19)

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09139490 A**(43) Date of publication of application: **27.05.97**

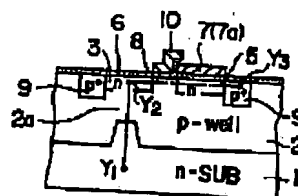
(51) Int. Cl.

**H01L 27/148****H04N 5/335**(21) Application number: **08288608**(22) Date of filing: **30.10.96**(62) Division of application: **63229406**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **IKEDA KATSUMI**(54) **SOLID STATE IMAGE PICK UP APPARATUS**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an image pick up apparatus for enlarging dynamic range by increasing a transfer capacity without increasing a plane area of a signal charge transfer means and reducing shading by controlling ununiformity in the maximum read amount of charge of each position of a photoelectric converting element.

**SOLUTION:** The image pick up apparatus comprises a plurality of photoelectric converting elements 3, a charge transfer means 5 formed of an n-type impurity layer formed of a transfer electrode 7 for temporarily storing and transferring the signal charges generated by the element 3 and a vertical type overflow drain for exhausting excessive charges generated by the photoelectric converting element 3 to a semiconductor substrate 1. A read gate electrode 10 for reading signal charges generated by the element 3 to the charge transfer means 5 is formed of an electrode electrically isolated from a transfer electrode 7 covering the upper part of the impurity layer of the charge transfer means 5 and sets the potential of the read gate electrode 10 to the potential lower than the vertical type overflow drain potential under the condition that a high level voltage is applied to the transfer electrode 7 during the period other than the transfer period for transferring the generated signal charges to the charge transfer means 5.



COPYRIGHT: (C)1997,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-139490

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/148

H01L 27/14

B

H04N 5/335

H04N 5/335

F

審査請求 有 請求項の数3 OL (全7頁)

(21)出願番号

特願平8-288608

(62)分割の表示

特願昭63-229406の分割

(22)出願日

昭和63年(1988)9月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 池田 勝己

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝堀川町工場内

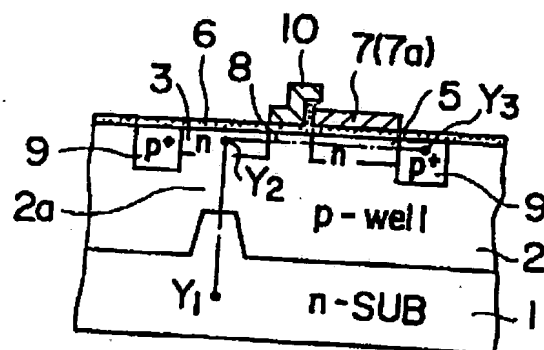
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 固体撮像装置

(57)【要約】 (修正有)

【課題】 信号電荷転送部の平面的面積を増大せずに、転送容量を増大して動的範囲の拡大を図り、光電変換素子の位置毎の最大読み出し電荷量の不均一性を抑制して、シェーディングを低減する固体撮像装置を提供する。

【解決手段】 複数の光電変換素子3と、この素子で発生した信号電荷を一時蓄積して転送する転送電極7により形成されたn型不純物層の電荷転送部5と、光電変換素子で発生した過剰電荷を半導体基板に排出する縦型オーバーフロードレインとを備えている。該素子で発生した信号電荷を電荷転送部へ読み出す読み出しゲート電極10は、電荷転送部5の不純物層の上方を覆う転送電極7と電気的に分離された電極によって構成され、発生信号電荷を電荷転送部へ転送する転送時期以外の期間に、転送電極5に高レベル電圧 $V_M$ を印加した状態で、読み出しゲート電極10の電位を縦型オーバーフロードレイン電位 $\phi_{OFD}$ よりも低電位にする。



## 【特許請求の範囲】

【請求項1】複数の光電変換素子と、この光電変換素子で発生した信号電荷を一時蓄積して転送する該光電変換素子に隣接したMOS型電極によって形成された電荷転送部と、前記光電変換素子で発生した過剰電荷を半導体基板に排出するオーバーフロードレインとを備えた固体撮像装置において、

前記オーバーフロードレインは縦型オーバーフロードレインであり、前記光電変換素子で発生した信号電荷を前記電荷転送部に読み出す読み出しゲート電極をこの電荷転送部の不純物層の上方を覆う転送電極と電気的に分離された電極によって構成し、前記光電変換素子で発生した信号電荷を前記電荷転送部へ転送する転送タイミング以外の期間に、前記転送電極に高レベル電圧（ $V_M$ ）を印加した状態で前記読み出しゲート電極の電位を前記縦型オーバーフロードレインの電位（ $\Phi_{OFD}$ ）より低電位にすることを特徴とする固体撮像装置。

【請求項2】前記縦型オーバーフロードレインは、 $n$ 型基板の上に $p$ ウェル層を設けこの $p$ ウェル層と前記 $n$ 型基板との間に逆バイアス電圧を印加して構成することを特徴とする請求項1記載の固体撮像装置。

【請求項3】前記信号電荷を電荷転送部に読み出す読み出しゲート電極を予め形成し、この電極のセルフ・アラインによる不純物イオンの注入により、前記電荷転送部の不純物層を形成したことを特徴とする請求項1記載の固体撮像装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置、特にインタライン転送方式の固体撮像装置に関する。

【0002】

【従来の技術】前記固体撮像装置は、一般に第7図乃至第9図に示すように構成されていた。

【0003】即ち、半導体基板としての $n$ 型基板1の上には、薄層部分2aを備えた $p$ 型ウェル層2が形成され、この薄層部分2aの上方に $n$ 型不純物層3を積層することにより、入射した光を光電変換して所定期間蓄積する $p$ - $n$ 接合の光電変換素子（フォトダイオード）が形成されている。

【0004】前記 $p$ 型ウェル層2の薄層部分2aは浅く形成され、これと $n$ 型基板1間に逆バイアス電圧4を印加することにより、前記 $n$ 型不純物層3において発生した過剰な信号電荷を排除する縦形オーバーフロードレインが形成されている。

【0005】また、前記 $p$ 型ウェル層2の上面に $n$ 型不純物層5が形成され、この上面に絶縁膜6を介して転送電極7（7a～7d）を形成することにより、信号電荷を転送する電荷転送部が構成されている。この転送電極7（7a～7d）は、前記フォトダイオード3において発生し蓄積された信号電荷を前記電荷転送部に転送する

物層5に転送するためのゲート電極を兼ねており、 $n$ 型不純物層3、5の間の読み出しチャンネル8まで延びてこの上方を覆っている。前記 $n$ 型不純物層3、5の側方のチャンネルストップ9は、素子分離層である。

【0006】第10図は、前記電荷転送部の転送電極7a～7dに印加される入力パルスのタイミング図であり、 $\phi a$ は転送電極7aに、 $\phi b$ は転送電極7bに、 $\phi c$ は転送電極7cに、 $\phi d$ は転送電極7dに夫々印加される周知の4相駆動方式である。

10 【0007】この第10図に示す $t_1$ 、 $t_2$ 及び $t_3$ 時に対応する第8図のY1-Y2-Y3部断面のポテンシャル図を第11図に示す。

【0008】同図において、 $t_1$ 時は、フォトダイオード3に入射した光が光電変換されて信号電荷が蓄積されている状態を示し、 $Q_{PDmax}$ は、縦形オーバーフロードレインのポテンシャルによって決まるフォトダイオードの最大蓄積容量である。 $t_2$ 時は、第10図に示す $V_H$ が印加され、読み出しチャンネル8が高いポテンシャルとなって、フォトダイオード3に蓄積された信号電荷が電荷転送部に読み出されている状態を示す（以下、この動作をフィールドシフト動作という）。 $t_3$ 時は、 $V_M$ が印加され、読み出しチャンネル8のポテンシャルが低くなり、信号電荷が電荷転送部に読み出されてしまった状態を示す。 $t_3$ 時の後は、周知の4相駆動の動作により、第7図に示す垂直方向に信号電荷が転送される。

【0009】第12図に、第9図に示すP1-P2部における、第10図に示す $t_4$ 、 $t_5$ 及び $t_6$ のタイミング時におけるポテンシャル図を示す。

30 【0010】この図は、4相駆動の基本的な転送動作を示すものであり、同図において $Q_{Tmax}$ は、転送電荷の最大転送容量である。この $Q_{Tmax}$ は、同図から明らかなように、隣合う2つの電極に $V_M$ が印加された時のポテンシャル $\Phi_M$ と、その2つの電極を挟む電極に $V_L$ が印加された時のポテンシャル $\Phi_L$ との差に比例する。即ち、4相駆動における最大転送容量 $Q_{Tmax}$ は $V_M - V_L$ に比例する。

【0011】

40 【発明が解決しようとする課題】第13図に、ゲート電圧 $V_G$ に対する読み出しチャンネル8のポテンシャルの静特性グラフを（a）に、 $n$ 型不純物層5のそれを（b）に夫々示す。

【0012】従来、前記最大転送容量 $Q_{Tmax}$ を増やすために、 $V_L$ の値を低くしたとしても、（b）のグラフを見て解るように、このポテンシャルは $V_{TH}$ 以下では低くならない。また、逆に $V_M$ の値を高くしたとしても、

（a）に示す読み出しチャンネル8のポテンシャル $\Phi_{FS}$ （第14図）も $V_G > 0$ の領域では、 $V_G$ に比例して高くなっていく。そして、第14図に示すように、このポテンシャル $\Phi_{FS}$ が縦形オーバーフロードレインのポテンシ

【0015】第16図に、前記固体撮像装置の接地等の電気的等価回路図を示す。チャンネルストップ9は、この装置の周辺でしか接地されていないため、p型ウエル層2には、抵抗 $R_{Pa}$ 、 $R_{Pb}$ …が存在し、また転送電極7a、7b…とp型ウエル層2との間に容量 $C_{Ga}$ 、 $C_{Gb}$ …が、p型ウエル層2とn型基板1との間に容量 $C_{Pa}$ 、 $C_{Pb}$ …が夫々存在することになる。

【0016】ところで、転送電極7(7a)に前記フィールドシフト動作の時VHレベルのパルスが加わると、瞬時に前記容量によってp型ウエル層2のポテンシャルが、

... (1)

ヨートチャンネル効果により、 $\Delta\Phi_S$ のポテンシャル低下が生じてしまう。

【0023】また、第20図に前記第13図と同様のポテンシャル静特性を示す。同図に示すように、読み出しチャンネル8の静特性(a)は、ショートチャンネル効果によりディプレッションタイプの特性となっている。こういった特性の構造の場合、 $\Phi_{OFD}$ となる $\Phi_{MOFD}$ の値は低くなり、最大転送容量 $Q_{Tmax}$ の最大値は低くなって、前記と同様の問題が生じてしまう。

【0024】本発明は前記に鑑み、信号電荷を転送する電荷転送部の平面的な面積を増大することなく、転送容量の増大して、ダイナミックレンジの拡大を図るとともに、最大読み出し電荷量のフォトダイオードの位置毎の不均一を抑制して、シェーディングの低減を図ったものを提供することを目的とする。

【0025】

【課題を解決するための手段】前記目的を達成するため、本発明にかかる固体撮像装置は、複数の光電変換素子と、この光電変換素子で発生した信号電荷を一時蓄積して転送する該光電変換素子に隣接したMOS型電極によって形成された電荷転送部と、前記光電変換素子で発生した過剰電荷を半導体基板に排出するオーバーフロードレインとを備えた固体撮像装置において、前記オーバーフロードレインは縦型オーバーフロードレインであり、前記光電変換素子で発生した信号電荷を前記電荷転送部に読み出す読み出しゲート電極をこの電荷転送部の不純物層の上方を覆う転送電極と電気的に分離された電極によって構成し、前記光電変換素子で発生した信号電荷を前記電荷転送部へ転送する転送タイミング以外の期間に、前記転送電極に高レベル電圧（ $V_M$ ）を印加した状態で前記読み出しゲート電極の電位を前記縦型オーバーフロードレインの電位（ $\Phi_{OFD}$ ）より低電位にして構成したものである。

【0022】第19図にn型不純物層5が読み出しチャンネル8側に寄り、読み出しチャンネル8のゲート長が短くなった状態を示す。そして、この時における転送電極7の電圧が0Vの時のポテンシャル図を第21図に示す。

前記n型基板との間に逆バイアス電圧を印加して構成する。

【0027】また、前記信号電荷を電荷転送部に読み出すゲート電極を予め形成し、この電極のセルフ・アラインによる不純物イオンの注入により、前記電荷転送部の不純物層を形成するようにすることもできる。

【0028】前記のように構成した本発明によれば、読み出しゲート電極と転送電極とは電気的に分離されて形成されているため、読み出しゲート電極と転送電極に夫々異なる任意のパルスを印加することができ、これにより、読み出しゲート電極下の読み出しチャンネルのポテンシャル $\Phi_{FS}$ を任意に設定するとともに、転送電極にパルスが印加された時のこの下の電荷転送部のn型不純物層のポテンシャル $\Phi_L$ 及び $\Phi_M$ をこのポテンシャル $\Phi_{FS}$ とは無関係に任意に設定することができる。これによって信号電荷の混入を防止しつつ、電荷転送容量を大きくするとともに、振幅効率を向上させることができる。

【0029】また、フィールドシフト時に印加するパルスを読み出しゲート電極のみとすることができ、これにより転送電極とウェル層との間に生じる容量を減少させることができる。

【0030】更に、読み出しゲート電極を予め形成し、この電極のセルフ・アラインによる不純物イオンの注入により、電荷転送部のn型不純物層を形成することにより、このn型不純物層の読み出しチャンネルへの食い込みを極力防止して、ゲート長が常にほぼ一定となるようにすることができる。

【0031】

【発明の実施の形態】以下、図面を参照して、本発明の実施例を説明する。

【0032】第1図乃至第5図は第1の実施例を示し、前記従来例と同様に、半導体基板としてのn型基板1の上面には、薄層部分2aを備えたp型ウェル層2が形成され、この薄層部分2aの上方にn型不純物層3を積層することにより、入射した光を光電変換して所定期間蓄積するpn接合の光電変換素子（フォトダイオード）が形成されている。

【0033】前記p型ウェル層2の薄層部分2aは浅く形成され、これとn型基板1間に逆バイアス電圧4を印加することにより、前記n型不純物層3において発生した過剰な信号電荷を排除する縦形オーバーフローレイが形成されている。

【0034】また、前記p型ウェル層2の上面にn型不純物層5が形成され、この上面に絶縁膜6を介して転送電極7（7a～7d）を形成することにより、信号電荷を転送する電荷転送部が形成されている。

【0035】ここまでは、前記従来例と同様であるが、本実施例は以下のような構成が備えられている。

【0036】即ち、転送電極7（7a）は、電荷転送部の

ンネル8の上方には、この転送電極7（7a）とは電気的に分離された読み出しゲート電極10が形成されている。

【0037】第2図に、前記第10図に対応する入力パルスのタイミング図を示す。同図において、 $\phi_{FS}$ は読み出しゲート電極10に印加される入力パルスであり、第10図における $\phi_a$ 及び $\phi_c$ に存在したフィールドシフト期間のVHのみが読み出しゲート電極10に印加され、この $\phi_a$ 及び $\phi_c$ にはVHは存在しない。

10 【0038】この図に示すt2及びt3のタイミング時における第1図のY1-Y2-Y3部断面のポテンシャル図を第3図に示す。

【0039】同図において、t2時は、フィールドシフト期間であり、読み出しゲート電極10にVHが印加され、読み出しチャンネル8が深くなって、電荷転送部に信号電荷が読み出された状態を示す。t3時は、読み出しチャンネル8が浅くなり、電荷転送部に信号電荷が一時蓄積された状態を示す。

20 【0040】第4図に信号電荷が転送されている状態を前記第14図相当図を示す。

【0041】同図に示すように、読み出しゲート電極10の電圧を、読み出しチャンネル8のポテンシャルが $\Phi_{OFD}$ より浅く、且つ $\Phi_L$ より浅くなるように設定することにより、電荷転送時の転送電極7の下の信号電荷にフォトダイオード3中の信号電荷が混入してしまうことを防止することができる。

【0042】また、転送電極7（7a）は読み出しゲート電極10と電気的に分離されているため、前記VMの値を $\Phi_{OFD}$ の値にとらわれることなく高くすることができ、これによって信号の混入を防止しつつ転送容量を大きくすることができる。

30 【0043】そして、VMの値を $VM > V_{OFD}$ で使用できるため、変調度の高い領域 $VG > 0$ を多く使用でき、振幅効率を高くすることができる。

【0044】更に、読み出しゲート電極10と転送電極7（7a）とは、電気的に分離されているため、フィールドシフト時にVHが印加されるのは、読み出しゲート電極10のみとなる。そして、この読み出しゲート電極10は、読み出しチャンネル8の上のみを覆っているため、転送電極7（7a）とp型ウェル層2との間の容量 $CGa'$ は、従来の容量 $CGa$ （第16図）より小さくなる。よって、p型ウェル層2のフィールドシフト時の前記ポテンシャル変動 $\Delta VPW$ は、この容量 $CGa$ に比例するために小さくなる。すると、前記第18図に相当する $Q' PD_{max}$ のフィールドシフト時間tFSの依存性のグラフは、第5図のようになる。

【0045】同図に示すように、 $Q' PD_{max}$ のフォトダイオード3の位置による差が小さくなるので、前記シェーディングの発生を低減することができる。

記第1の実施例と異なる点は、読み出しゲート電極10'を第1層のゲートで形成するとともに、転送電極7' (7' a) が形成される以前の形成プロセスで、この読み出しゲート電極10'のセルフ・アライン法による不純物イオンの注入により、電荷転送部のn型不純物層5を形成した点にある。

【0047】このように構成することにより、n型不純物層5の読み出しチャンネル8への食い込みを、ある一定量の不純物の横拡散量のみに抑えることができ、これによってn型不純物層5のフォトマスクの合わせずれに読み出しチャンネル8のゲート長が短くなってショートチャンネル効果が生じてしまうことを防止することができる。

【0048】なお、n型不純物層5を読み出しゲート電極10'のセルフ・アライン法によって形成できるならば、読み出しゲート10'は、第1層目のゲートと限る必要はない。

【0049】また、前記各実施例は、n型基板の上にpウェル層を設けた構造を示しているが、これに限ることはなく、更に縦形オーバーフロードレインの代りに横形オーバーフロードレインであっても良いことは勿論である。

#### 【0050】

【発明の効果】本発明は前記のような構成であるので、信号電荷を転送する電荷転送部の平面的な面積を増すことなく、しかも電荷転送部への印加パルスの振幅を大きくすることなく、電荷転送部の最大転送容量を大きくすることができる。

【0051】しかも、信号電荷を読み出す時のウェルのポテンシャルの変動を小さくして、信号電荷の最大読み出し電荷量のフォトダイオードの位置毎の不均一を低減して、シェーディングを低減することができる。

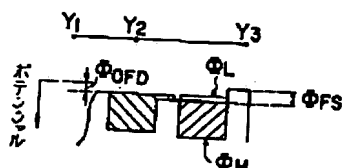
【0052】また、信号電荷を読み出すゲート電極のセルフ・アラインで電荷転送部の不純物層を形成するようにすることにより、読み出しチャンネルがショートしてしまうことを防止して、電荷転送部への信号電荷の混入を防止することができるといった効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す縦断面図（第8図相当図）。

【図2】本発明の第1の実施例を示す駆動パルスのタイミング図。

【図14】



【図3】(イ)及び(ロ)は第2図に示すt2及びt3時における第1図のY1-Y2-Y3部断面のポテンシャル図。

【図4】転送動作時における前記Y1-Y2-Y3部断面のポテンシャル図。

【図5】ポテンシャルQ' PDmaxのフィールドシフト時間tFSへの依存性を示すグラフ。

【図6】第2の実施例を示す第1図相当図。

【図7】従来例を示す平面図。

【図8】第7図のX1-X2断面図。

【図9】第7図のZ1-Z2断面図。

【図10】従来例を示す駆動パルスのタイミング図。

【図11】(イ) (ロ) 及び (ハ) は第10図に示すt1, t2及びt3時における第8図のY1-Y2-Y3部断面のポテンシャル図。

【図12】(イ) (ロ) 及び (ハ) は第10図に示すt4, t5及びt6時における第9図のP1-P2部のポテンシャル図。

【図13】ゲート電圧VGに対する読み出しチャンネル(a)及びn型不純物層(b)の静特性を夫々示すグラフ。

【図14】第4図に相当する従来例を示す図。

【図15】従来例を示すポテンシャルQ TmaxのVLへの依存性を示すグラフ。

【図16】従来例を示す電氣的等価回路。

【図17】従来例を示すp型ウェル層が変動した時の第11図(ロ)相当図。

【図18】第5図に相当する従来例を示す図。

【図19】第8図に相当する他の従来例を示す図。

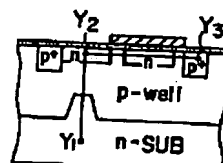
【図20】第13図に相当する他の従来例を示す図。

【図21】転送電極の電圧が0Vの時の第14図に相当する他の従来例を示す図。

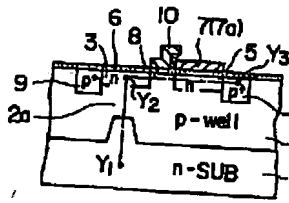
#### 【符号の説明】

- 1 n型基板 (半導体基板)
- 2 p型ウェル層
- 2a 同薄層部分
- 3 n型不純物層 (フォトダイオード)
- 5 n型不純物層 (電荷転送部)
- 7 (7a~7d) 転送電極 (電荷転送部)
- 8 読み出しチャンネル
- 10 読み出しゲート電極

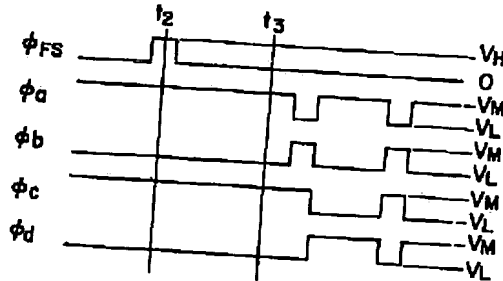
【図19】



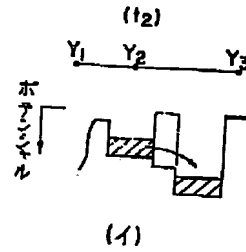
【図1】



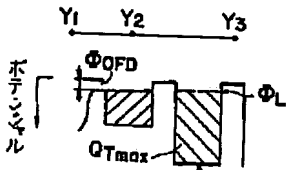
【図2】



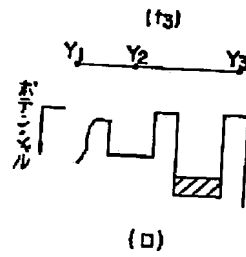
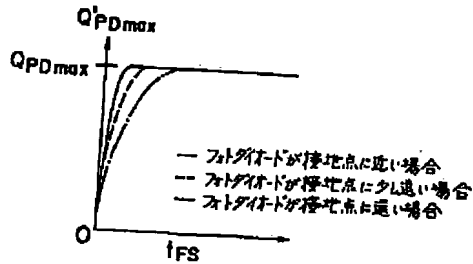
【図3】



【図4】



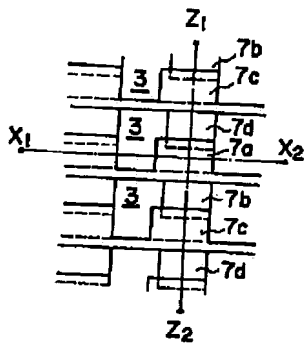
【図5】



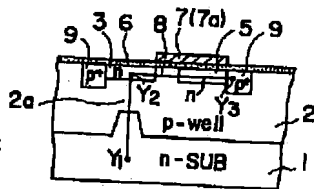
【図6】

【図11】

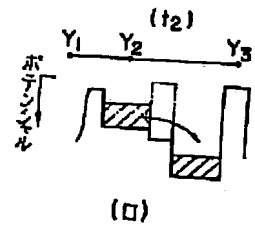
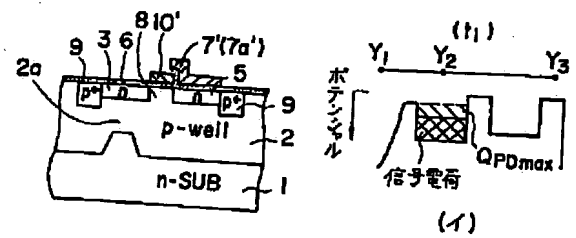
【図7】



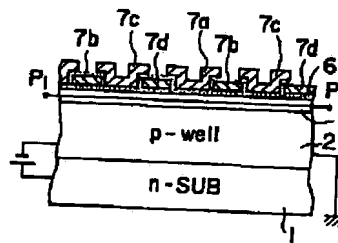
【図8】



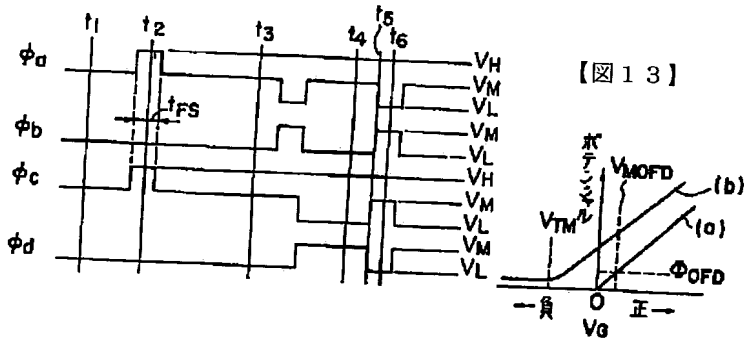
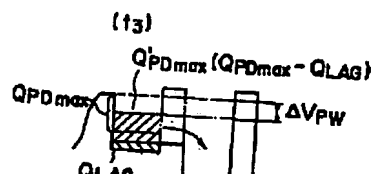
【図9】



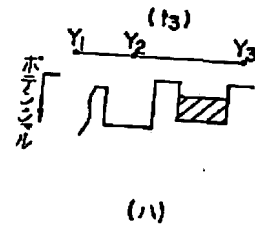
【図10】



【図17】

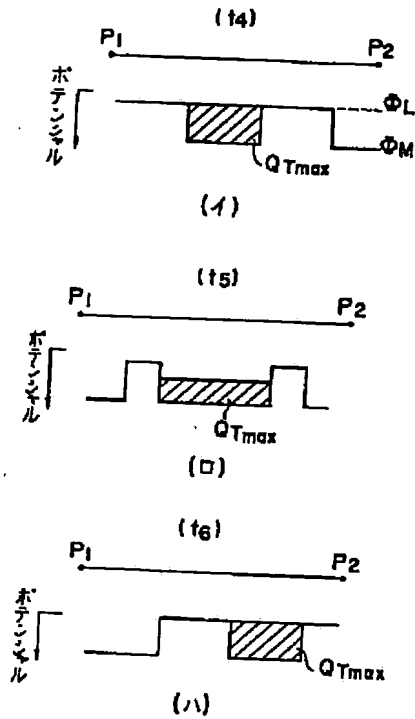


【図13】

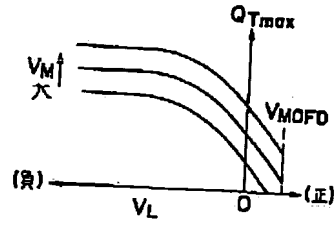


【図14】

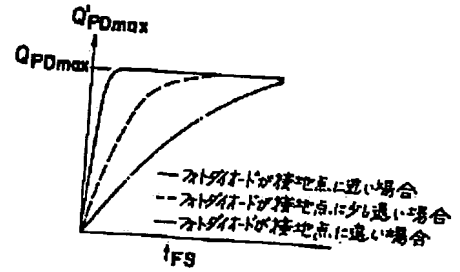
【図12】



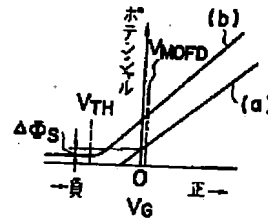
【図15】



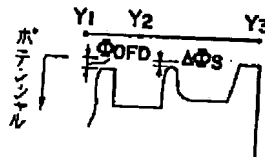
【図18】



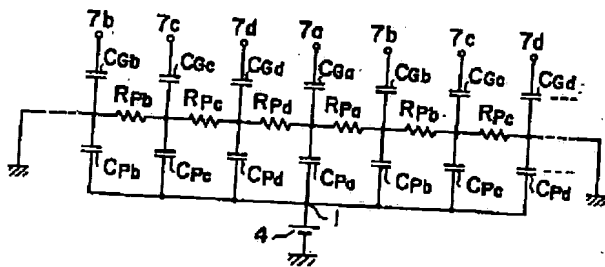
【図20】



【図21】



【図16】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.